

Original document

# HETERO JUNCTION APPARATUS

Patent number: JP61184887  
 Publication date: 1986-08-18  
 Inventor: BUMAN KIMU; FUA KIYUU TSUERUNGU  
 Applicant: TEXAS INSTRUMENTS INC  
 Classification:  
 - international: H01L29/80  
 - european:  
 Application number: JP19850214363 19850927  
 Priority number(s): US19840656110 19840928

Also published  
 US464116

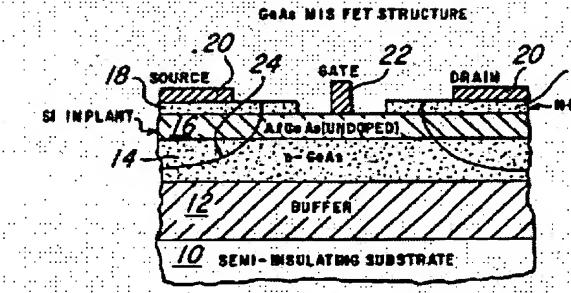
[View INPADOC patent family.](#)

[Report a data error](#)

Abstract not available for JP61184887

Abstract of corresponding document: **US4641161**

A metal-insulator-semiconductor field effect transistor using an undoped AlGaAs layer as an insulator over an n-type GaAs channel. The high breakdown field of the wide-bandgap AlGaAs results in a very high gate breakdown voltage and a low prebreakdown gate leakage current. The presence of the gate insulator also reduces the gate capacitance,  $C_{GS}$ . Moreover, the electron density in the channel is not all concentrated next to the heterojunction, which means that the series resistance of the channel is low, and also means that channel mobility will not be degraded by a less-than-perfect interface at the heterojunction.



Data supplied from the *esp@cenet* database - Worldwide

Description of corresponding document: **US4641161**

## BACKGROUND AND SUMMARY OF THE INVENTION

The present invention relates to microwave semiconductor devices, i.e. to semiconductor active devices capable of switch frequencies above one GHz.

The present invention more particularly relates to monolithic microwave integrated circuits (MMICs), i.e. to integrated circuits containing many active devices and switching at a clock rate above one GHz.

The present invention also particularly relates to power microwave devices, i.e. to microwave transistors capable of providing output power greater than 100 microwatts per micron of gate width. The present invention also particularly relates to high-frequency microwave devices, i.e. to microwave transistors capable of providing an output power greater than 100 microwatts per micron of gate width at frequencies above 10 GHz.

The presently most popular microwave transistor technology is MESFET technology. The common features of this technology are that a Schottky-barrier metal is used as the gate in a JFET-like structure. The channel will typically be a lightly doped semiconductor layer which overlies a semiinsulating substrate. Leakage along the surface from gate to drain is a common problem, and, since reduction of series resistance in the channel is also highly desirable, the gate is commonly recessed. The gate Schottky-barrier metallization is not deposited directly on the surface of the semiconductor, but a recess is etched and the gate is deposited. Preferably the recess is not much wider than the gate, and is etched to (e.g.) one third the depth of the gate.

semiconducting layer. This means that the electron population in the channel is slightly removed from the adverse effect surface states normally found at the semiconductor surface, and also means that the surface leakage path from gate to drain longer. However, although this recess etch step is necessary on most MESFET processes. It degrades manufacturability. recess etch depth is even slightly nonuniform across a wafer, the pinch-off voltages of the MESFETs on the wafer will vary. This can be disastrous.

Moreover, this technology suffers from several other very important limitations. The output power capability of a MESFET is limited by the gate-drain breakdown voltage and the conduction current through the channel. To improve the breakdown voltage, either a low carrier concentration buffer layer between the gate metal and the channel, or a graded channel approach may be used. See A. Nagashima, S. Umebachi, and G. Kano, IEEE Trans. Electron Devices, vol. ED-25, p537, May 1978, which is hereby incorporated by reference. However, since the breakdown voltage is inversely proportional to the product of the carrier level and the active layer thickness, i.e., the channel current, see W. R. Frensel, IEEE Trans. Electron Devices, vol. ED-29, p962, August 1981, and S. H. Wemple, W. C. Niehaus, H. M. Cox, J. V. Dilorenzo, and W. O. Schlosser, IEEE Trans. Electron Devices, vol. ED-27, p1013, June 1980, which is hereby incorporated by reference, the improvement in output power is limited. By employing either an insulating or a semi-insulating buffer layer, the breakdown voltage can be greatly increased due to the much higher breakdown field of the layer, while the current level is maintained. This should result in a device with improved output power. Unfortunately, it has been proved difficult to fabricate metal-insulator-semiconductor or insulated-gate FET from III-V compound semiconductors. This is largely due to the large lattice mismatch at the insulator interface and the difficulty in growing a good oxide layer. Even though some attempts have been made in fabricating IGFETs with oxides, see Miura and M. Fukuta, IEEE Electron Devices, vol. ED-27, p1147, June 1980, which is hereby incorporated by reference, the suitability for microwave power generation has not been demonstrated. Other workers have attempted the use of Ar ion-implantation for the formation of a semi-insulating gate FET (SIGFET), see B. R. Pruniaux, J. C. North, and A. V. Payer, IEEE Trans. Electron Devices, vol. ED-19, p672, 1972, which is hereby incorporated by reference, and the use of proton bombardment in the source-drain region for the creation of a MIS structure. See H. M. Macksey, D. W. Shaw, and W. R. Wiseman, Electronics Letters vol. 12, p192, 1976, which is hereby incorporated by reference. While the SIGFET approach has resulted in a higher saturated output power, due to the observed higher breakdown voltage, the approach has not been reproducible. It also has inherent higher gate parasitic resistance, which limits its use for high frequency application.

Recently, MIS-type GaAs FETs with AlGaAs as the gate insulator have been reported. See T. J. Drummond et. al., Electron Letters, vol. 19, p 286, 1983, and Y. Katayama, et. al., Japan. J. of Appl. Phys. vol. 23, p. 150, 1984, which is hereby incorporated by reference. These devices are referred to (among other names) as HEMTs. The reported device structure consists of a GaAs channel layer which is either undoped or very lightly doped, under a doped AlGaAs layer. This provides very high channel mobilities, but results in very low current levels and high parasitic resistances. These devices were primarily intended for high-speed digital IC applications, and appear to be inherently unsuitable for any application requiring significant power density.

HEMT devices are extremely sensitive to the quality of the interface between the GaAs and AlGaAs layers. In a HEMT structure, the active carrier population is very narrowly confined to a shallow layer underneath this heterojunction. This means that any degradation in the quality of this interface will drastically degrade the device characteristics. This means that HEMTs are difficult to fabricate, and difficult to fabricate reproducibly.

The present invention teaches a heterojunction transistor having an intrinsic (or nearly so) AlGaAs barrier layer over a moderately or heavily doped GaAs channel layer. In the example of this new GaAs power MISFET structure shown in FIG. 1, a highly doped active GaAs layer was used under an undoped Al(0.5)Ga(0.5)As layer to produce enough conduction current through the channel.

This structure has numerous major advantages over the prior art. First, output power is in general proportional to the operating voltage, which is typically limited by gate breakdown voltage. The present invention improves the gate-drain breakdown voltage yields higher operating voltage, and therefore higher power from the same size device. A second advantage is that, for devices operating at the same power, it is preferable to operate in a high voltage regime rather than a high current regime, because this simplifies power supply layout. The device of the present invention could be operated at, for example, 15 volts (with the impedance-transformed if necessary) as opposed to a prior art MESFET power device which would have to be twice as large and operated at only eight volts.

A third advantage is that cutoff frequency (or extrapolated cutoff frequency  $f_T$ ) is in general proportional to transconductance divided by gate source capacitance  $C_{gs}$ ; the present invention keeps transconductance reasonably good while improving the gate to source capacitance significantly (due to the undoped layer of AlGaAs below the gate), and therefore raises the cutoff frequency.

As far as the band diagram difference between the HEMT and the device of the present invention, the inventive device has a different band structure as shown in FIG. 2A, where the left side of the band diagram shows the undoped AlGaAs, and in the middle of the transition from there to the N+ GaAs, the accumulation region is fairly shallow, so the total amount of charge collected in the small well below the AlGaAs level is going to be relatively small as compared to FIG. 2B, which shows the band structure for the HEMT case. In this case the AlGaAs shows an N+ layer on the left side, and therefore the potential well at the AlGaAs/GaAs boundary is deep and will collect a great many electrons, and therefore the electron distribution in the HEMT is going to be much more two dimensional than in the device of the present invention. A consequence of the more vertically uniform

electron distribution in the device of the present invention is that the quality of the GaAs to AlGaAs interface is less critical. Naturally it is nice if you can fabricate the structure with the extremely high quality GaAs to AlGaAs interface which is required for HEMT device, but for the device of the present invention this is not necessary. That means, for example, that metal CVD can be used to fabricate device of the present invention with (optionally) less stringent requirements on interface quality or other CVD fabrication may be possible. Interface quality is still important in the device of the present invention, but it is as important as with a HEMT. In the device of the present invention defects at the interface are likely to induce trapped carriers which may screen or partially screen the gate signal from the channel, but in the HEMT gate defects are critically important because they may cause scattering effects which directly and immediately degrade the channel mobility. This effect is not dangerous in the device of the present invention.

A further advantage of the present invention is that the use of dopants in the AlGaAs, as in the HEMT prior art, will also provide some traps, presumably due to deep levels.

A further modified embodiment of the invention, shown in FIG. 4, is achieved by inserting an additional very thin undoped gallium arsenide layer between the undoped AlGaAs layer and the n type gallium arsenide layer. This additional layer may be, for example, 300 angstroms thick, or within the range of 100 to 500 angstroms thick, or, less preferably, thicker or thinner. In this case, a potential well for electrons will exist at the junction between the AlGaAs and the undoped gallium arsenide layer. Other workers have explored using this potential well alone to provide an operating mode analogous to the operation of a HEMT. However, in this embodiment of the invention, not only does this potential well provide an additional channel, but the p type gallium arsenide also provides a channel. Thus, the total channel current is increased, since two separate regions of conduction are both controlled by the gate. The difference in operating characteristics between this embodiment and the prior embodiment is in the forward bias operating characteristics. That is, under reverse bias the small potential well between the undoped AlGaAs and the undoped gallium arsenide will be depleted, and the pinch off characteristics of the N type gallium arsenide channel region will predominate. However, when the gate is forward biased (e.g., at voltages between 0 and about 0.5 volts, where the Schottky barrier starts to conduct under forward bias) the small well between the two undoped layers will be filled with electron accumulation, and substantial additional current will be obtained at such biases. Thus, the IV curves of FIG. 3 show that the characteristics of the FIG. 2C structure are similar to those of the FIG. 2A structure close to pinch off, but under forward bias substantial additional current will flow at the same voltage levels. This alternative embodiment is particularly applicable to integrated circuits combining both enhancement mode and depletion mode transistors.

Two additional important advantages of the present invention are as follows: First, in conventional MESFET art, it is necessary to put the gate in a recess, to minimize surface state effects. However, in the present invention, the undoped AlGaAs layer itself serves to minimize surface leakage as discussed above, so that this recess etch step is not necessary. However, in the most preferred embodiment of the present invention, an N+ GaAs layer is used to assist source and drain contact formation. However, this N+ layer is not necessary. For example, after the patterned N+ source/drain implant was applied, the source and drain metallizations could be deposited directly on the doped portions of the AlGaAs layer, or, alternatively, the AlGaAs layer could be etched away selectively at the contact locations.

A processing advantage of the thin N+ gallium arsenide layer which is most preferably used on top of the AlGaAs layer is that it is easy to use an etch which will etch gallium arsenide and stop on AlGaAs. For example, wet etches containing oxidizing agents will accomplish this, as will plasma etches which preferably include some fraction of an oxidizing GaAs. Thus, this layer can easily be patterned, and the timing of the etching step which patterns it is not critical.

A key problem with the prior art on recess etching and conventional gallium arsenide MESFET structures is that the device characteristics are extremely sensitive to the depth of the recess etch, and therefore the recess etch is a critical parameter. However, it is very difficult to control this etch step so that it is absolutely uniform across the slice. This difficulty is completely avoided by the present invention.

According to the present invention there is provided:

A heterojunction device comprising:

A channel layer comprising a first semiconductor material and comprising a dopant concentration of at least ten to the 16th per cubic centimeter;

A barrier layer overlying said channel layer and comprising a second semiconductor material lattice-matched to said first semiconductor material and having a bandgap wider than the bandgap of said first semiconductor material and comprising a net dopant concentration less than ten to the 16th per cubic centimeter;

First and second source/drain regions electrically connected to said channel layer, and a gate electrode capacitatively coupled to a portion of said channel layer between said source/drain connections.

## BRIEF DESCRIPTION OF THE DRAWINGS

The present invention will be described with reference to the accompanying drawings, wherein:

FIG. 1 shows a first sample embodiment of the invention;

FIG. 2 shows approximate band diagrams, along a vertical line through the gate and channel, for the device of FIG. 1, for

conventional HEMT device, and for the alternative inventive embodiment of FIG. 4;

FIG. 3 shows approximate I-V curves for the devices of FIG. 1 and of FIG. 4;

FIG. 4 shows a further modified embodiment of the invention, achieved by inserting an additional very thin undoped gallium arsenide layer between the undoped AlGaAs layer and the n type gallium arsenide layer.

#### DESCRIPTION OF THE PREFERRED EMBODIMENTS

In the example of this new GaAs power MISFET structure shown in FIG. 1, a highly doped active GaAs layer 14 was used under the undoped Al<sub>x</sub>Ga<sub>1-x</sub>As layer 16 to produce enough conduction current through the channel. The GaAs active layer was 0.1 micron thick with a doping of 3.5.times.10<sup>17</sup> cm<sup>-3</sup>. The AlAs mole fraction x was selected as 0.5, which results in a band gap of 2 eV in the AlGaAs barrier layer 16 and a low electron mobility (200 cm<sup>2</sup>/V-sec) for the n-type GaAs channel layer 14. The AlGaAs layer 16 is 0.06 micron, and is lattice matched to the doped GaAs 14 with a good interface. See H. Casey, Jr., et. al., J. Appl. Phys. vol. 50, p3484, May 1979, which is hereby incorporated by reference.

The device described above has been fabricated and evaluated. The different layers 14, 16, and 18 were grown sequentially using the molecular beam epitaxy technique on a semi-insulating substrate 10 overlaid by a buffer layer 12. (The buffer layer 12 is provided for physical rather than electronic reasons, i.e. merely because it assists in achieving good epitaxial (MBE) growth of the following layers.) The n+ GaAs layer 18 is provided primarily to assist contact formation, i.e. to ensure low resistance between source/drain metallization 20 and channel layer 14. This thin highly doped layer can also be used for other circuit functions, e.g. it can be used as a resistor or as a capacitor plate, or it can function as a field plate or can be used to provide interconnects. Preferably a masked implant (e.g. silicon), indicated by diffusion boundaries 24, is used to define source/drain regions and further reduce series resistance.

A sample device constructed in this technology is an inter-digitated FET having 0.6 micron electron-beam defined gates and 0.6 micron source-drain spacing. The n+ layer 18 was selectively wet etched for the 2 micron opening. A via hole was used to form a source pad 20. This device does not require any active layer recess as in the case of conventional MESFETs. The current is solely controlled by the MBE growth (i.e. by the thickness and doping of layers 14 and 16). Therefore, the current level of devices can be very uniform. For easy of fabricating the first MISFET device, no n+ ion-implantation 24 through the AlGaAs layer 16 was used for the source and drain ohmic contacts, but the contacts are alloyed directly through the AlGaAs layer 16. This results in relatively high series resistances and saturation voltage.

The transconductance of a 150 micron gate width MISFET is about 87 mmhos/mm, which agrees with the estimated value for the MISFET with a good interface. The I-V curve shows a very linear transfer characteristic, i.e. equal spacings of the drain currents as the gate voltage is stepped in equal increments. Even though the transconductance is lower than that of the conventional MESFET, the reduced gate to source capacitance, C<sub>gs</sub>, makes the ratio, g<sub>m</sub>/C<sub>gs</sub>, higher, which will improve high frequency performance. The breakdown voltage is very high (19 to 20 volts), with extremely low prebreakdown gate leakage current. The improvement in breakdown voltage using AlGaAs layer 16 increases the maximum output power per width.

The microwave characteristics of such a device with a total gatewidth of 750 micron (8 gate fingers) have been evaluated, though the device was not fully optimized, excellent microwave performance results at X and lower Ku bands were obtained. A small signal gain of 11 dB has been obtained at 13 GHz. At 10 GHz, an output power of 630 mW was achieved with 7 dB and 37% power-added efficiency. A maximum efficiency of 43% was obtained at 400 mW output (6 dB gain) at 10 GHz operated at 8 GHz with the operating conditions optimized for maximum efficiency, a power-added efficiency of 46% was obtained at 300 mW output and 7 dB gain.

The present invention has demonstrated for the first time the excellent microwave performance of the GaAs MIS-type power FET using the AlGaAs layer as an insulator. Due to the higher breakdown field of the added AlGaAs layer, a higher carrier concentration can be used for the active channel, which will result in an improved power. Since this structure does not require an active layer recess, it will also result in more uniform and reproducible devices. We believe that, with further material and channel structure optimizations, this GaAs power MISFET will provide an excellent alternative to the conventional MESFET and may even surpass the microwave performance of the MESFET in terms of output power, efficiency, and frequency.

In the presently preferred embodiment, the gate metal 22 can be a metal such as aluminum or titanium-tungsten or Ti/Pt; the source/drain metallizations 20 can be, for example, gold-germanium/nickel. The buffer layer 12 is preferably undoped gallium arsenide, i.e., gallium arsenide having a net dopant concentration below 10<sup>16</sup> to 10<sup>17</sup> cm<sup>-3</sup> and maybe a micron or two thick. (The buffer layer is provided for physical reasons, as is well known in the art, to achieve good epitaxial layer quality, and is not strictly necessary for electronic functionality.) The substrate 10 is preferably semi-insulating, e.g. chrome doped or intrinsic gallium arsenide.

The present invention can be integrated into gallium arsenide integrated circuits in much the same fashion as conventional MESFET structures are. However, the present invention provides advantages in some areas. For example, if implant-dam isolation is used, the top N+ gallium arsenide layer 18 would be etched away, and the undoped AlGaAs layer 16 which v

then be at the surface of the regions adjoining and in the implant damaged isolation would thereby reduce surface leakage which is the major leakage mode in implant/damaged isolation. In addition, the top N+ gallium arsenide layer 18 can be resistor fabrication if desired, as can the thick N type gallium arsenide channel region 14.

A further modified embodiment of the invention, shown in FIG. 4, is achieved by inserting an additional very thin undoped gallium arsenide layer 26 between the undoped AlGaAs layer 16 and the n type gallium arsenide layer 14. This additional 26 might be, for example, 300 angstroms thick, or within the range of 100 to 500 angstroms thick, or, less preferably, thinner. In this case, a potential well for electrons will exist at the junction between the AlGaAs 16 and the undoped gall arsenide layer 26. Other workers have explored using this potential well alone to provide an operating mode analogous to operating of the HEMT. However, in this embodiment of the invention, not only does this potential well provide an additional channel, but the N type gallium arsenide 14 also provides a channel. Thus, the total channel current is increased, since two separate regions of conduction are both controlled by the gate. The difference in operating characteristics between this embodiment and the first embodiment is in the forward bias operating characteristics. That is, under reverse bias the same potential well between the undoped AlGaAs and the undoped gallium arsenide will be depleted, and the pinch off characteristic of the N type gallium arsenide channel region will predominate. However, when the gate is forward biased (e.g., at voltages between 0 and around 0.6 volts, where the Schottky barrier starts to conduct under forward bias) the small well between the undoped layers will be in accumulation, and substantial additional current will be obtained at such biases. Thus, the IV curves of FIG. 3 show that the IV characteristics of the FIG. 2C structure are similar to those of the FIG. 2A structure close to pinch-off, but under forward bias substantial additional current will flow at the same voltage levels. This alternative embodiment is particularly applicable to integrated circuits combining both enhancement mode and depletion mode transistors.

The barrier layer 16 is about 600 Angstroms thick in the presently preferred embodiment, and generally is preferably between 200 and 2000 Angstroms thick, but may optionally be as thin as 100 Angstroms (or even less) or as thick as 3000 Angstroms. The product of thickness and doping for channel layer 14 is preferably comparable to that found in the MESFET prior art. The present invention permits use of quite a high channel doping. Alternatively, the present invention also permits use of higher doping thickness products than those found in the MESFET prior art, since the resulting higher pinchoff voltage characteristics are accommodated by the higher gate breakdown voltages. Channel layer 14 is preferably between 1000 and 2000 Angstroms thick for X-band operation, but may be thinner for higher frequencies: it may be as thin as 300 Angstroms (or even less), alternatively as thick as one-half micron. The most preferred doping level for layer 14 is between one and ten times ten to the power cc, but lower doping levels may be used. The channel doping level must be at least 1E16, and should preferably be at least ten times this, to minimize series resistance.

The principal preferred embodiment uses Al(0.5)Ga(0.5)As for the barrier layer, but of course other AlGaAs alloys, having other bandgaps, could be used instead. It is not even necessary to rely on the GaAs /AlGaAs system: other lattice-matched heterojunction systems could be used instead. It is preferred that the difference in bandgap between the channel layer 14 and barrier layer 16 be at least 0.3 eV, but this could optionally be as little as 0.1 eV. As the bandgap difference between the materials is made smaller, the device of the present invention tends to behave more like prior art MESFET devices.

The key advantages of the present invention as compared to the HEMT device are: The present invention provides more current (and also more voltage) than a HEMT device for the same size device. Therefore, the device of the present invention does have the capability to generate much more power than the HEMT device.

An additional advantage over the HEMT art is simpler fabrication. Since the GaAs to AlGaAs interface is less critical in the present invention, more processing latitude is obviously available.

As opposed to conventional MESFET devices, the key advantages of the present invention are: improved uniformity across the slice, since depth of recess etch is no longer a relevant parameter; second, the device of the present invention can operate at much higher voltages than conventional MESFETs, for given doping and thickness parameters, and therefore can achieve greater power for unit gate width for equivalent parameters.

In addition, the modified embodiment of the present invention, which has an undoped gallium arsenide layer interposed between the undoped AlGaAs layer and the N type gallium arsenide layer, has the additional advantage over conventional MESFETs of increased current capability, due to conduction in the potential well between the two undoped layers.

Thus, the present invention teaches a metal-insulator-semiconductor field effect transistor using an undoped AlGaAs layer as an insulator over an n-type GaAs channel. Due to the higher breakdown field of the wide-bandgap AlGaAs, the gate breakdown voltage has been greatly improved as compared with a conventional GaAs MESFET. The prebreakdown gate leakage current of this new device structure is also much lower than that of the MESFET. The presence of the gate insulator also reduces the gate capacitance, C<sub>gs</sub>. Moreover, the electron density in the channel is not all concentrated next to the heterojunction, which means that the series resistance of the channel is low, and also means that channel mobility will not be degraded by a less-than-optimal interface at the heterojunction. All these factors result in a GaAs power FET structure with potentials for high power, efficiency and frequency of operation. An unoptimized 750 micron gate width device achieved an output power of 630 mw with 7% and 37% power-added efficiency at 10 GHz. At reduced output power levels, power-added efficiency as high as 46% was obtained at X band.

The present invention has been described with primary reference to a heterojunction system wherein AlGaAs and GaAs

as a lattice-matched pair of semiconductors having different band gaps. However, the present invention can also be embodied using any other lattice-matched heterojunction semiconductor system, such as InP/GaInAsP, CdTe/HgCdTe, or many other well known. See Pankove, Optical processes in semiconductors, which is hereby incorporated by reference.

As will be apparent to those skilled in the art, the present invention provides fundamental novelty in the art of microwave devices, and its scope is accordingly not limited except as specified in the accompanying claims.

Data supplied from the *esp@cenet* database - Worldwide

Claims of corresponding document: US4641161

What is claimed is:

1. A heterojunction device comprising: a channel layer comprising a first semiconductor material and comprising a dopant concentration of at least ten to the 16th per cubic centimeter; a barrier layer overlying said channel layer and comprising second semiconductor material lattice-matched to said first material and having a bandgap wider than the bandgap of said first semiconductor material and comprising a net dopant concentration less than ten to the 16th per cubic centimeter and of inhibiting carrier tunneling; and first and second source/drain contacts electrically connected to said channel layer, and a gate electrode capacitatively coupled to a portion of said channel layer between said source/drain connections.
2. The device of claim 1, wherein: said barrier layer is roughly 600 angstroms thick; said second semiconductor material bandgap which is at least 0.3 eV wider than the bandgap of said first semiconductor material; and said gate electrode comprises a strip of metal forming a Schottky barrier contact to said barrier layer.
3. A heterojunction device comprising: a channel layer comprising a first semiconductor material and comprising a dopant concentration of at least ten to the 16th per cubic centimeter; a barrier layer overlying said channel layer and comprising second semiconductor material lattice-matched to said first material and having a bandgap wider than the bandgap of said first semiconductor material and comprising a net dopant concentration less than ten to the 16th per cubic centimeter; first and second source/drain contacts electrically connected to said channel layer, and a gate electrode abutting said barrier layer capacitatively coupled to a portion of said channel layer between said source/drain connections.
4. The device of claim 3, wherein said second semiconductor material has a bandgap which is at least 0.3 eV wider than the bandgap of said first semiconductor material.
5. The device of claim 3, wherein said channel layer has a net dopant concentration greater than ten to the 17 per cent.
6. The device of claim 3, wherein said barrier layer is locally degenerately doped above portions of said source/drain regions to make said connection between said source/drain contacts and said channel layer.
7. The device of claim 3 wherein said barrier layer is less than 2000 Angstroms thick.
8. The device of claim 3, wherein said gate electrode comprises a strip of metal forming a Schottky barrier contact to said channel layer.
9. The device of claim 3, further comprising an additional layer of said first material interposed between said channel layer and said barrier layer.
10. A heterojunction device comprising: a channel layer comprising a first semiconductor material and comprising a dopant concentration of at least ten to the 16th per cubic centimeter; an intermediate layer overlying said channel layer and also comprising said first material and comprising a net dopant concentration less than one third of the net dopant concentration of said channel layer; a barrier layer overlying said intermediate layer and comprising a second semiconductor material lattice-matched to said first material and having a bandgap wider than the bandgap of said first semiconductor material and comprising a net dopant concentration less than ten to the 16th per cubic centimeter; first and second source/drain contacts electrically connected to said channel layer, and a gate electrode capacitatively coupled to a portion of said channel layer between said source/drain connections.
11. The device of claim 10, wherein said second semiconductor material has a bandgap which is at least 0.3 eV wider than the bandgap of said first semiconductor material.
12. The device of claim 10, wherein said channel layer has a net dopant concentration greater than ten to the 17 per cent.
13. The device of claim 10, wherein said barrier layer is locally degenerately doped above portions of said source/drain regions to make said connection between said source/drain contacts and said channel layer.

14. The device of claim 10 wherein said barrier layer is less than 2000 Angstroms thick.
15. The device of claim 10, wherein said intermediate layer is less than 500 Angstroms thick.
16. The device of claim 10, wherein said gate electrode comprises a strip of metal forming a Schottky barrier contact to : barrier layer.

---

Data supplied from the *esp@cenet* database - Worldwide

**THIS PAGE BLANK (uspto)**

⑯日本国特許庁(JP)

⑪特許出願公開

⑫公開特許公報(A)

昭61-184887

⑬Int.Cl.<sup>4</sup>  
H 01 L 29/80

識別記号 厅内整理番号  
7925-5F

⑭公開 昭和61年(1986)8月18日

審査請求 未請求 発明の数 2 (全10頁)

⑮発明の名称 ヘテロ接合装置

⑯特願 昭60-214363

⑰出願 昭60(1985)9月27日

優先権主張 ⑲1984年9月28日⑳米国(US)㉑656110

㉒発明者 ブマン キム アメリカ合衆国テキサス州リチャードソン, メイフラウアードライブ 1709

㉓発明者 ファ キュー ツエル アメリカ合衆国テキサス州ダラス, ダヌーン アベニュー 7604

㉔出願人 テキサス インスツルメンツ インコーポレ エクスプレスウェイ 13500  
イテンド

㉕代理人 弁理士 浅村 皓 外2名

明細書

1.発明の名称

ヘテロ接合装置

2.特許請求の範囲

(1) 第1の半導体材料で構成されていて、少なくとも $1.0^{16}/\text{cm}^3$ のドーパント濃度を持つチャンネル層と、該チャンネル層に重なつていて、前記第1の材料と格子が整合した第2の半導体材料で構成されていて、そのバンドギャップが前記第1の半導体材料のバンドギャップよりも広く、 $1.0^{16}/\text{cm}^3$ 未満の正味のドーパント濃度を持つ障壁層と、前記チャンネル層に電気接続された第1及び第2のソース/ドレイン接点と、該ソース/ドレイン接続部の間で前記チャンネル層の一部分に容量結合されたゲート電極とを有するヘテロ接合装置。

(2) 特許請求の範囲第1項に記載したヘテロ接合装置に於て、前記第2の半導体材料のバンドギャップが前記第1の半導体材料のバンドギャップよりも少なくとも0.3 eV広いヘテロ接合装置。

(3) 特許請求の範囲第1項に記載したヘテロ接合装置に於て、前記チャンネル層の正味のドーパント濃度が $1.0^{17}/\text{cm}^3$ より大きいヘテロ接合装置。

(4) 特許請求の範囲第1項に記載したヘテロ接合装置に於て、前記障壁層が前記ソース/ドレイン領域の一部分の上方では局部的に縮退ドープされていて、前記ソース/ドレイン接点とチャンネル層の間の接続部を作るヘテロ接合装置。

(5) 特許請求の範囲第1項に記載したヘテロ接合装置に於て、前記障壁層の厚さが2.0 00  $\mu$ 未満であるヘテロ接合装置。

(6) 特許請求の範囲第1項に記載したヘテロ接合装置に於て、前記ゲート電極が前記障壁層に対してショットキー障壁接觸を形成する金属のストリップで構成されているヘテロ接合装置。

(7) 特許請求の範囲第1項に記載したヘテロ接合装置に於て、前記ソース/ドレイン接点と前記障壁層の間に介在配置された前記第1の材料の別の層を有するヘテロ接合装置。

(8) 第1の半導体材料で構成されていて、少なく

とも  $1 \text{ } 0^{16}/\text{cm}^3$  のドーパント濃度を持つチャンネル層と、該チャンネル層に重なつていて、同じく前記第1の材料で構成されていて、前記チャンネル層の正味のドーパント濃度の  $1/3$  より少ない正味のドーパント濃度を持つ中間層と、該中間層に重なつていて、前記第1の材料と格子が整合した第2の半導体材料で構成されていて、そのバンドギャップが前記第1の半導体材料のバンドギャップよりも広く、 $1 \text{ } 0^{19}/\text{cm}^3$  未満の正味のドーパント濃度を持つ障壁層と、前記チャンネル層に電気接続された第1及び第2のソース／ドレイン接点と、該ソース／ドレイン接続部の間で前記チャンネル層の一部分に容量結合されたゲート電極とを有するヘテロ接合装置。

(9) 特許請求の範囲第8項に記載したヘテロ接合装置に於て、前記第2の半導体材料のバンドギャップが前記第1の半導体材料のバンドギャップよりも少なくとも  $0.3 \text{ eV}$  広いヘテロ接合装置。

(10) 特許請求の範囲第8項に記載したヘテロ接合装置に於て、前記チャンネル層の正味のドーパン

#### 動装置に関する。

更に具体的に云えば、この発明はモノリシック・マイクロ波集積回路(MMIC)、即ち、多くの能動装置を含んでいて、 $1 \text{ GHz}$  より高いクロック速度でスイッチングする集積回路に関する。·

この発明は特に電力マイクロ波装置、即ち、ゲート幅の1ミクロンあたり $100 \text{ } \mu\text{A}$  マイクロワットより大きな出力電力を発生し得るマイクロ波トランジスタにも関する。この発明は特に大電力高周波マイクロ波装置、即ち、 $10 \text{ GHz}$  より高い周波数で、ゲート幅の1ミクロンあたり $100 \text{ } \mu\text{A}$  マイクロワットより大きな出力電力を発生し得るマイクロ波トランジスタにも関する。

#### 従来の技術及び問題点

現在最も普及しているマイクロ波トランジスタ技術はMESFET技術である。この技術の共通の特徴は、JFET形構造のゲートとしてショットキー障壁金属を使っていることである。典型的には、チャンネルは、半絶縁性基板をおおう低不純物濃度に、ドープされたGaAs半導体層である。ゲー

ト濃度が $1 \text{ } 0^{17}/\text{cm}^3$  より大きいヘテロ接合装置。

(11) 特許請求の範囲第8項に記載したヘテロ接合装置に於て、前記障壁層が前記ソース／ドレイン領域の一部分の上方で局部的に縮退ドープされていて、前記ソース／ドレイン接点及び前記チャンネル層の間の接続部を作るヘテロ接合装置。

(12) 特許請求の範囲第8項に記載したヘテロ接合装置に於て、前記障壁層の厚さが $2,000 \text{ \AA}$  未満であるヘテロ接合装置。

(13) 特許請求の範囲第8項に記載したヘテロ接合装置に於て、前記中間層の厚さが $500 \text{ \AA}$  未満であるヘテロ接合装置。

(14) 特許請求の範囲第8項に記載したヘテロ接合装置に於て、前記ゲート電極が前記障壁層に対してショットキー障壁接觸を形成する金属のストリップで構成されているヘテロ接合装置。

#### 3. 発明の詳細な説明

##### 産業上の利用分野

本発明はマイクロ波半導体装置、即ち、 $1 \text{ GHz}$  より高い周波数でスイッチングが出来る半導体能

トからドレンへの表面に沿つた漏れ電流が共通の問題であり、チャンネルの直列抵抗を減少することも非常に望ましいから、ゲートを引込めるのが普通である。即ち、ゲートのショットキー障壁メタライズ部を半導体の表面の上に直接的にデポジットせず、ゲートをデポジットする前に凹部をエッヂする。この凹部がゲートよりあまり幅が広くなくて、半導体層の深さの(例えは) $1/3$  の深さまでエッヂされるとが好ましい。つまり、チャンネル内の電子のポピュレーションが半導体の表面に通常見られる表面状態の悪影響から若干離され、それと共にゲートからドレンへの表面漏れ通路が一層長くなる。然し、この凹部エッヂ工程は大抵のMESFETプロセスに必要であるが、これは製造能力を低下させる。凹部をエッヂする深さがウエーハ全体にわたつて値が一様でなくなると、このウエーハ上のMESFETのピンチオフ電圧が変化する。これは大きな被害になることがある。

更に、この技術はこの他にも幾つかの重要な制

約がある。MESFET の出力電力能力は、ゲート・ドレイン降伏電圧とチャンネルの導電電流とに上つて制限される。降伏電圧を改善する為には、ゲート金属とチャンネルの間にキャリア濃度の低いパッファ層を設けるか又は段階形チャンネル方式を用いることが出来る。IEEE トランジションズ・オン・エレクトロン・デバイセズ誌 E D - 25巻、第 537 頁(1978年5月号)所載の A. ナガシマ、S. ウメバチ及び G. カノの論文を参照されたい。然し、降伏電圧はドーピング・レベルと能動層の厚さの積、即ちチャンネル電流に反比例する(IEEE トランジションズ・オン・エレクトロン・デバイセズ誌、E D - 28巻、第 962 頁(1981年8月号)所載の W. R. フレンズリーの論文及び同誌 E D - 27巻第 1,013 頁(1980年6月号)所載の S. H. ウエンブル、W. C. ニーハウス、H. M. コンクス、J. V. ジロレンゾ及び W. O. シュローサの論文参照)から、出力電力の改善は限界がある絶縁体又は半絶縁体パッファ層の何れか一方を用いることにより、と

A. V. ペイバーの論文)並びに MIS 構造を作る為にソース・ドレイン領域に陽子照射を使うこと(エレクトロニクス・レターズ誌、第 12巻第 192 頁(1976年)所載の H. M. マックゼー、D. W. ショー及び W. R. ウイスマンの論文)を試みた。SiOFET 方式によつて、一層高い絶縁降伏の電圧が観測されたことによつて、一層高い飽和出力電力が得られたが、この方式は再現性がなかつた。更にこれは一層大きな固有のゲート寄生抵抗を持ち、それがこれを高周波の用途に使う時の制約となる。

最近 AlGaAs をゲート絶縁体とした MIS 形の GaAs FET が報告されている。エレクトロニクス・レターズ誌、第 19巻第 986 頁(1983年)所載の T. J. ドラモンド他の論文、及び日本応用物理学会英文誌第 23巻第 150 頁(1984年)所載の Y. カタヤマ他の論文参照。こういう装置は(他にも名前があるが)HEMT と呼ばれている。報告された装置の構造は、ドープした AlGaAs 層の下に、ドープしないか或いはごく軽くドープし

た層の絶縁降伏の電界がずっと高いことにより、電流レベルを保ちながら、降伏電圧を大幅に高めることが出来る。この結果、出力電力が改善された装置が得られる筈である。都合の悪いことに、金属-絶縁体-半導体又は絶縁ゲート FET を I-V 族化合物半導体から製造するのは困難であることが判つた。これは絶縁体の界面に於ける格子の著しい不整合並びに良好な酸化物層を成長させることの困難さによる所が大きい。酸化物を用いて IGFET を製造する幾つかの試みもなされた(IEEE トランジションズ・オン・エレクトロン・デバイセズ誌、E D - 27巻、第 1,147 頁(1980年6月号)所載の T. ミウラ及び M. フクタの論文参照)が、それがマイクロ波電力を発生するのに適していることは実証されなかつた。この他の研究者は半絶縁ゲート FET (SiOFET) を形成する為に Ar イオンの打込みを使うこと(IEEE トランジションズ・オン・エレクトロン・デバイセズ誌、E D - 19巻第 672 頁(1972年)所載の B. R. プリニューニオ、J. C. ノース及び

た GaAs チャンネル層を持つている。これによつてチャンネル内の移動度が非常に高くなるが、その結果電流レベルが非常に低くなり、寄生抵抗が大きくなる。こういう装置は主に高速デジタル IC 用であり、かなりの電力密度を必要とする用途にとつては本質的に不適当であると思われる。

HEMT 装置は、GaAs 層及び AlGaAs 層の間の界面の品質の影響を極めて受け易い。HEMT 構造では、能動キャリアのポピュレーションが、このヘテロ接合の下にある浅い層にごく狭く局限されている。つまり、この界面の品質が劣化すると、装置の特性が急に悪化する。これは、HEMT を製造するのが困難であり、再現性をもつて製造するのが困難であることを意味する。

#### 問題点を解決する為の手段及び作用

この発明は、中位又は著しくドープされた GaAs チャンネル層の上に真性の(又は殆んど真性の) AlGaAs 障壁層を持つヘテロ接合トランジスタを提供する。この新しい GaAs 電力 MISFET 構造の第 1 図に示す例では、ドープされていない Al(0.5)

Ga ( 0.5 ) As 層の下に著しくドープされた GaAs 能動層を用いて、チャンネルに十分な導電電流を発生している。

この構造は、従来に較べて多数の大きな利点がある。第 1 に、出力電力が一般的に、動作電圧に比例し、この電圧は典型的にはゲートの降伏電圧によつて制限される。この発明はゲート・ドレイン間の絶縁降伏を改善し、この為動作電圧が一層高くなり、従つて同じ寸法の装置からの電力が一層大きくなる。2番目の利点は、同じ電力で動作する装置では、大電流方式よりも、高電圧方式で動作する方が、電源の配置が簡単になる為に好ましい。この発明の装置は例えば 15 ボルトで（必要な場合は出力インピーダンスを変換して）動作させることが出来るが、これを対照的に従来の MESFET 電力装置は、2 倍の幅を持つと共に、8 ボルトでしか動作させることが出来ない。

3番目の利点は、カットオフ周波数（又は補外カットオフ周波数 F<sub>T</sub>）が一般的にゲート・ソース間静電容量 C<sub>gs</sub> で除したトランスコンダクタン

一様である結果、GaAs と AlGaAs の界面の品質がそれ程問題でなくなる。当然、HEMT 装置に要求される様な極めて品質の高い GaAs と AlGaAs の界面を持つ構造を作ることが出来ればよいが、この発明の装置では、こういうことが必要ではない。つまり、例えば有機金属 CVD を使つて、界面の品質に（随意選択により）それ程厳しくない条件を持つこの発明の装置を製造することが出来るし、或いはこの他の CVD 製造方法も使うことが出来る。この発明の装置でも、界面の品質は依然として重要であるが、HEMT の場合程重要ではない。この発明の装置では、界面に於ける欠陥は、チャンネルからのゲート信号を遮り或いは部分的に遮る惧れのある捕捉電荷を誘起する惧れがあるが、HEMT では、ゲート欠陥は、チャンネルの移動度を直接的に且つ直ぐに劣化させる散乱効果を招く惧れがあるので、こういう欠陥が非常に重要な意味を持つ。この散乱効果は、この発明の装置ではそれ程危険ではない。

この発明の別の利点は、従来技術の HEMT の様

ス gm<sub>s</sub> すなわち gm<sub>s</sub> / C<sub>gs</sub> に比例する。この発明は（ゲートの下にドープされていない AlGaAs 層がある為に）ゲート・ソース間静電容量をかなり改善しながら、トランスコンダクタンスを妥当な範囲で良好に保ち、従つてカットオフ周波数を高くする。

HEMT とこの発明の装置のバンドダイアグラムの違いについて云うと、この発明の装置は第 2 A 図に示す様なバンド構造を持つている。このバンド構図の左側がドープされていない AlGaAs を示し、これから N+ の GaAs へ遷移する中央では、蓄積領域がかなり浅く、この為 AlGaAs レベルの下の小さな井戸に収集される合計の電荷量は、HEMT の場合のバンド構造を示す第 2 B 図に較べて比較的小さくなっている。第 2 B 図の場合、左側に示す AlGaAs は N+ であり、従つて AlGaAs と GaAs の境界にある電位井戸が深く、非常に多くの電子を収集し、従つて、HEMT の電子分布は、この発明の装置よりも余計に 2 次元的になる。この発明の装置に於ける電子分布が垂直方向に一層

IC、AlGaAs にドーパントを使うと、恐らく深いレベルであるため、若干のトラップが出来る傾向があることである。

第 4 図に示したこの発明の若干変更した実施例は、ドープされていない AlGaAs 層とロ形の砒化ガリウム層との間に非常に薄くドープされていない追加の砒化ガリウム層を挿入することによつて達成される。この追加の層は、例えば厚さが 300 Å 或いは 100 乃至 500 Å の範囲内であればよく、それ程好ましくはないが、それより厚くても薄くてもよい。この場合、AlGaAs 層とドープされていない砒化ガリウム層との間の接合に電子に対する電位井戸が存在する。他の研究者は、この電位井戸だけを使って、HEMT の動作と似た動作モードを持たせる様な開発をした。然し、この発明のこの実施例では、この電位井戸が追加のチャンネルを提供するだけでなく、ロ形砒化ガリウムもチャンネルを提供する。この為、2 つの別々の導電領域が両方共ゲートによつて制御されるので、合計チャンネル電流が増加する。この実施例と最初

に述べた実施例の間の動作特性の違いは、順バイアス動作特性にある。即ち、逆バイアスでは、ドープされていない AlGaAs 及びドープされていない磁化ガリウムの間にできた小さな電位井戸が空乏状態になり、n 形磁化ガリウムのチャンネル領域のピンチオフ特性が支配的になる。然し、ゲートが（例えばショットキー障壁が順バイアスの下で導電を開始する 0 乃至約 0.6 ボルトの間の電圧に）順バイアスされた時、2 つのドープされていない層の間の小さな井戸が蓄積状態になり、こういうバイアスでは実質的な追加の電流が得られる。この為、第 3 図の I-V 曲線は、第 2 C 図の構造の I-V 特性がピンチオフの近くでは第 2 A 図の構造と同様であるが、順バイアスの下では、同じ電圧レベルで実質的な追加の電流が流れることを示している。この別の実施例は、エンハンスマント形及びデプリーション形トランジスタの両方を組合せた集積回路に適用し得る。

この発明のこの他の 2 つの重要な利点を述べると、次の通りである。第 1 に、普通の MESFET で

チは酸化性 GaAs をいくらか含むことが好ましい。この為、この N+ 層のパターンを容易に定めることができ、パターンを定めるエッチング工程のタイミングは臨界的ではない。

凹部のエッチング並びに普通の磁化ガリウム MESFET 構造に伴う従来技術の重要な問題は、装置の特性が、凹部のエッチの深さに極めて影響され易く、従つて凹部のエッチが重要なパラメータである事である。然し、スライス全体にわたつてそれが絶対的に一様になる様に、このエッチ工程を制御するのは非常に困難である。この発明では、この困難が完全に避けられる。

この発明では、第 1 の半導体材料で構成されていて、少なくとも  $1 \text{ D}^{16}/\text{cm}^3$  のドーパント濃度を持つチャンネル層と、該チャンネル層に重なつていて、前記第 1 の材料と格子が整合した第 2 の半導体材料で構成されていて、そのバンドギャップが前記第 1 の半導体材料のバンドギャップよりも広く、 $1 \text{ D}^{16}/\text{cm}^3$  未満の正味のドーパント濃度を持つ障壁層と、前記チャンネル層に電気的に接続

は、表面状態の影響を最小限に抑える為に、ゲートを凹部に入れることが必要であるのが普通である。然し、この発明では、ドープされていない AlGaAs 層自体が前に述べた様に表面の偏れを最小限に抑える様に作用し、この為この凹部をエッチする工程が不要である。然し、この発明の最も好ましい実施例では、N+GaAs 層をつけてソース及びドレイン接点の形成を助ける。然し、この N+ 層は必要ではない。例えば、パターンを定めた N+ ソース／ドレイン打込みを行つた後、AlGaAs 層のドープされた部分の上に直接的にソース及びドレイン・メタライズ部をデポジットしてもよいし、或いはこの代りに、接点位置で選択的に AlGaAs 層をエッチングによつて除いてもよい。

AlGaAs 層の上に使うことが最も好ましい薄い N+ 磁化ガリウム層の処理上の利点は、磁化ガリウムをエッチして、AlGaAs で停止するエッチを使うことが容易であることである。例えば、酸化剤を含む湿式エッチがこうすることを達成するがプラズマ・エッチも同様である。プラズマ・エッ

された第 1 及び第 2 のソース／ドレイン領域と、該ソース／ドレイン接続部の間で前記チャンネル層の一部分に容量結合されたゲート電極とを有するヘテロ接合装置が提供される。

次に本発明を図面について説明する。

#### 実施例

第 1 図に示す例の GaAs 電力 MISFET 構造では、著しくドープされた GaAs 能動層 1-4 をドープされていない Al<sub>x</sub>Ga<sub>1-x</sub>As 層 1-6 の下に用いて、チャンネルに十分な導電電流を発生した。能動 GaAs 層 1-4 の厚さは 0.1 ミクロンであつて、ドーピングは  $3.5 \times 10^{17} \text{ cm}^{-3}$  である。AlAs のモル分率 x は 0.5 に選んだ。この結果、AlGaAs 障壁層 1-6 のバンドギャップは 2 eV になり、n 形 GaAs チャンネル層 1-4 の電子移動度は低い ( $200 \text{ cm}^2/\text{V}\cdot\text{s}$ )。AlGaAs 層 1-6 は 0.06 ミクロンであり、ドープされた GaAs 1-4 と格子が整合していて、良好な界面を持つ。ジャーナル・オブ・アプライド・ファジーイクス誌、第 50 巻第 3,484 頁 (1979 年 5 月号) 所載の H. C. カセー・ジ

ユニット他の論文参照。

上に述べた装置を製造して評価した。パッファ層12を重ねた半絶縁体基板10の上に、分子線エピタキシ方法により、相異なる層14, 16, 18を逐次的に成長させた(パッファ層12を設けたのは電子的な理由よりも物理的な理由である。即ち、単にそれがその後に続く層の良好なエピタキシヤル(MBB)成長を達成する助けになるからである。)ロ+GaAs層18を設けたのは、主に接点の形成を助ける為、即ち、ソース/ドレイン・メタライズ部20とチャンネル層14との間の抵抗値を確実に小さくする為である。この薄い高密度ドープされた層は回路の他の機能の為に使うことが出来る。例えば、それを抵抗として又はキャパシターの極板として使うことが出来、或いはこれをフィールド・プレートとして作用させることが出来、或いは短絡接続部を設ける為に使うことが出来る。ソース/ドレイン領域を限定する為並びに直列抵抗を更に減少する為に、拡散の境界24で示す様なマスクされた打込み(例えばシリコン)

コンダクタンスは約87ミリモー/ $\mu$ mであり、これは良好な界面を持つMISFETの評価値と一致する。I-V曲線は非常に直線的な伝導特性を示している。即ち、ゲート電圧を同じ増分だけ段階的に変化させた時、ドレイン電流が等間隔になる。トランスコンダクタンスが普通のMESFETのトランスコンダクタンスよりも小さいが、ゲート・ソース間静電容量C<sub>gs</sub>が減少したことにより、比g<sub>m</sub>/C<sub>gs</sub>が一層大きくなり、この為、高周波性能が改善される。降伏電圧は非常に高く(19乃至20ボルト)、降伏前のゲート漏れ電流は極めて少ない。AlGaAs層16をつたことによる降伏電圧の改善により、単位幅あたりの最大出力電力が増加する。

合計のゲート幅が750ミクロン(8個のゲート・ファインガー)を持つこの様な装置のマイクロ波特性を評価した。この装置は十分に最適なものにしたわけではないが、X帯並びにそれより低いKu帯ですぐれたマイクロ波性能が結果として得られた。13GHzで11dBの小信号利得が得ら

を使うことが好ましい。

この技術によつて作られたサンプル装置は、ソース・ドレイン間の間隔が4ミクロンで、0.6ミクロンの電子ビームによつて規定されたゲートを持つくし形FETである。ロ+層18は2ミクロンの開口が得られる様に選択的にウエットエッチプロセスにかけた。ソースの各パッド20に対してバイヤ・ホール(接触電極孔)を形成した。この装置は、普通のMESFETの場合の様に、能動層に対する凹部を必要としない。電流レベルはMBB成長だけによつて(即ち、層14及び16の厚さとドーピング濃度だけによつて)制御される。従つて、装置の電流レベルは非常に一様にすることが出来る。第1のMISFET装置の製造を容易にする為、ソース及びドレインのオーム接觸には、AlGaAs層16を通るロ+イオン打込み部24を使わず、接点をAlGaAs層16を通つて直接的に合金化して形成される。この結果、直列抵抗及び飽和電圧が比較的高くなつた。

ゲート幅150ミクロンのMISFETのトランス

れた。10GHzでは、630mWの出力電力が達成され、それと共に利得は7dB、電力追加効率37%であつた。10GHzの時、400mWの出力(6dBの利得)で43%の最大効率が得られた。最大効率が得られる様に最適にした動作条件で8GHzで動作させた時、300mWの出力及び7dBの利得で、4.6%の電力追加効率が得られた。

この発明はAlGaAs層を絶縁体として用いたGaAs MIS形電力FETのすぐれたマイクロ波性能を初めて実証したものである。追加したAlGaAs層の絶縁降伏の電界が一層高い為、能動チャンネルに一層高いキャリア濃度を使うことが出来、この結果電力が改善される。この構造は能動層の為の凹部を必要としないから、一層均一で再現性のある装置が得られる。この発明では、更に材料及びチャンネル構造を最適にすれば、このGaAs電力MISFETは従来のMESFETに対するすぐれた代替品になり、出力電力、効率及び周波数の点では、MESFETのマイクロ波性能を凌ぎさえするものと

考えられる。

現在好ましいと考えられる実施例では、ゲート金属22はアルミニウム又はチタン・タングステン又はTi/Pt/Auの様な金属にすることが出来る。ソース/ドレイン・メタライズ部20は例えば金-ゲルマニウム/ニッケルにすることが出来る。バッファ層12はドープされていない砒化ガリウム、即ち正味のドーピング濃度が10<sup>14</sup>未満の砒化ガリウムであるのが好ましく、厚さは1ミクロン又は2ミクロンにすることが出来る。(バッファ層は、周知の様に、エピタキシャル層の品質をよくする為という物理的な理由で設けられるものであり、電子回路の機能の為に厳密に必要なものではない。)基板10は半絶縁体、例えばクロムをドープした、或いは真性の砒化ガリウムであることが好ましい。

この発明は従来のMESFET構造と殆んど同じ形で、砒化ガリウム集積回路に集積化することが出来る。然し、この発明は或る面では利点がある。例えば、打込み-損傷分離部を用いる場合、上側

と動作が似た動作モードを持たせるという開発をした。然し、この発明のこの実施例では、この電位井戸が余分のチャンネルとなるだけでなく、ロ形砒化ガリウム14もチャンネルになる。この為、2つの別々の導電領域が両方共ゲートによつて制御されるので、合計チャンネル電流が増加する。この実施例と最初の実施例との間の動作特性の違いは、順バイアス動作特性にある。即ち、逆バイアスの時、ドープされていないAlGaAsとドープされていない砒化ガリウムの間の小さな電位井戸が空乏状態になり、ロ形砒化ガリウム、チャンネル領域のピンチオフ特性が支配的になる。然し、ゲートが(例えばショットキー障壁が順バイアスの下で導電を開始する0乃至約0.6ボルトの電圧)順バイアスされると、2つのドープされていない層の間の井戸は蓄積状態になり、こういうバイアスで実質的な余分の電流が得られる。この為、第3図のI-V曲線は、第2C図の構造のI-V特性が、ピンチオフの近くでは、第2A図の構造の特性と似ているが、順バイアスの下では、同じ電

のロ+砒化ガリウム層18がエッチングによつて除かれ、その時、打込み-損傷分離部にあつて、それに接する領域の表面にあるドープされていないAlGaAs層16が表面の漏れを少なくする。この表面の漏れが、打込み/損傷分離部での主要な漏れ様式である。更に、上側のロ+砒化ガリウム層18は、希望によつては、抵抗を製造する為に使うことが出来、厚いロ形砒化ガリウムチャンネル領域14も同じ様に使うことが出来る。

第4図に示すこの発明の変形の別の実施例は、ドープされていないAlGaAs層16とロ形砒化ガリウム層14の間に非常に薄い追加のドープされていない砒化ガリウム層26を挿入することによつて達成される。この追加の層26は、厚さが例えば300Å、又は100乃至500Åの範囲内又はそれ程好ましくはないが、これより厚手又は薄手にすることが出来る。この場合、AlGaAs層16とドープされていない砒化ガリウム層26との間の接合に電子に対する電位井戸が存在する。他の研究者はこの電位井戸だけを用いて、HEMT

圧レベルで実質的に余分の電流が流れることを示している。この別の実施例は、エンハンスマント形及びデプリーション形の両方のトランジスタを組合せた集積回路に特に適用し得る。

現在好ましいと考えられる実施例では、障壁層16の厚さは約600Åであり、一般的には200乃至2,000Åであることが好ましいが、隨意選択により、100Å(又はそれ以下)という様に薄くしても、或いは3,000Åという様に厚くしてもよい。チャンネル層14の厚さとドーピングの積が、従来のMESFETに見られるものと比敵し得るものであることが好ましいが、この発明はチャンネルに非常に高いドーピングを使うことが出来る様にする。或いはこの代りに、結果としてピンチオフ電圧特性が一層高くなつても、ゲートの降伏電圧が一層高いことによつて差支えがないので、この発明は従来のMESFETにみられる値よりも、ドーピングと厚さの積に一層大きな値を使つことが出来る様にする。チャンネル層14はX帯の動作では、厚さが1,000乃至2,000Åであ

ることが好ましいが、更に高い周波数では一層薄くすることが出来る。これは $300\text{ \AA}$ （又はそれ以下）という様に薄くすることも出来るし、或いは $0.5\text{ ミクロン}$ という様に厚くすることも出来る。層14の最も好ましいドーピング・レベルは $1\text{ 乃至 }10 \times 10^{17}/\text{cm}^3$ であるが、これより低いドーピング・レベルも使うことが出来る。チャンネルのドーピング・レベルは少なくとも $1 \times 10^{16}$ でなければならぬが、直列抵抗を最小に抑える為に、これよりもずつと高くすることが好ましい。

主な好ましい実施例は障壁層 $\text{Al}(0.5)\text{Ga}(0.5)\text{As}$ を使うが、バンドギャップが異なるとの他の $\text{AlGaAs}$ 合金もその代りに使うことが出来る。 $\text{GaAs}/\text{AlGaAs}$ 系に頼る必要はない。その代りに、格子が整合するこの他のヘテロ接合系を使うことが出来る。チャンネル層14と障壁層16の間のバンドギャップの差が少なくとも $0.3\text{ eV}$ であることが好ましいが、隨意選択により、この差は $0.1\text{ eV}$ という様に小さくてもよい。2種類の材料の間のバンドギャップの差を一層小さ

てパラメータが同等であれば、ゲートの単位幅あたり、一層多くの電力を達成することが出来る。

更に、ドープされていない $\text{AlGaAs}$ 層とヨウ素化ガリウム層との間にドープされていない硫化ガリウム層を介在配置したこの発明の第2の実施例は、ドープされていない2つの層の間の電位井戸に於ける導電の為、従来のMESFET装置に較べて電流容量が増加するという別の利点を有する。

この為、この発明は、ヨウ素化 $\text{GaAs}$ チャンネルの上の絶縁体としてドープされていない $\text{AlGaAs}$ 層を用いた金属-絶縁体-半導体電界効果トランジスタを教示するものである。バンドギャップが広い $\text{AlGaAs}$ の絶縁破壊の電界が一層高い為に、従来の $\text{GaAs}$ のMESFETに較べて、ゲートの降伏電圧が著しく改善される。この発明の装置の構造の降伏前のゲート漏れ電流もMESFETよりもずつと少ない。ゲート絶縁体が存在することにより、ゲートの容量 $C_{GS}$ も減少する。更に、チャンネル内の電子密度がヘテロ接合の隣りに全く集中しない。これは、チャンネルの直列抵抗が小さいことを意

くする時、この発明の装置の動作は従来のMESFET装置に似て来る傾向がある。

#### ＜発明の効果＞

HEMT装置と較べたこの発明の主な利点を述べると、この発明では、同じ寸法のHEMT装置よりも、一層大きな電力（並びにそれに伴つて一層多くの電流並びに一層大きな電圧）が得られる。従つて、この発明の装置はHEMT装置よりもより多くの電力を発生する能力を持つている。

HEMT装置に較べた別の利点は製造が一層簡単であることである。この発明では、 $\text{GaAs}$ と $\text{AlGaAs}$ の界面がそれ程臨界的ではないから、処理により多くの自由があることは明らかである。

従来のMESFET装置と対照すると、この発明の主な利点は次の通りである。凹部をニッテする深さがもはや装置の性能に関連するパラメータではないから、スライスにわたる均一性が改善される。2番目に、この発明の装置は、所定のドーピング及び厚さのパラメータに対し、従来のMESFETよりもずつと高い電圧で動作することが出来、従つ

てパラメータが同等であれば、ゲートの単位幅あたり、一層多くの電力を達成することが出来る。更に、ドープされていない $\text{AlGaAs}$ 層とヨウ素化ガリウム層との間にドープされていない硫化ガリウム層を介在配置したこの発明の第2の実施例は、ドープされていない2つの層の間の電位井戸に於ける導電の為、従来のMESFET装置に較べて電流容量が増加するという別の利点を有する。

この為、この発明は、ヨウ素化 $\text{GaAs}$ チャンネルの上の絶縁体としてドープされていない $\text{AlGaAs}$ 層を用いた金属-絶縁体-半導体電界効果トランジスタを教示するものである。バンドギャップが広い $\text{AlGaAs}$ の絶縁破壊の電界が一層高い為に、従来の $\text{GaAs}$ のMESFETに較べて、ゲートの降伏電圧が著しく改善される。この発明の装置の構造の降伏前のゲート漏れ電流もMESFETよりもずつと少ない。ゲート絶縁体が存在することにより、ゲートの容量 $C_{GS}$ も減少する。更に、チャンネル内の電子密度がヘテロ接合の隣りに全く集中しない。これは、チャンネルの直列抵抗が小さいことを意

味すると共に、チャンネルの移動度がヘテロ接合に於ける完全でない界面の為に劣下することがないことをも意味する。これら全ての要因の結果、高い電力、効率及び動作周波数が使える $\text{GaAs}$ 電力FET構造が得られる。最適にしたものではないゲート幅 $750\text{ ミクロン}$ の装置は、 $10\text{ GHz}$ で、出力電力が $630\text{ mW}$ 、利得が $7\text{ dB}$ 、電力追加効率 $37\%$ であった。出力電力レベルを下げた時、X帯で $46\%$ という高い電力追加効率が得られた。

バンドギャップが異なり、格子が整合する1対の半導体材料として、 $\text{AlGaAs}$ 及び $\text{GaAs}$ を用いたヘテロ接合系の場合を主としてこの発明を説明したが、この発明は $\text{InP}/\text{GaInAsP}$ ,  $\text{CdTe}/\text{HgCdTe}$ 及び他の周知の多くの材料の様な、格子が整合するとの他の任意のヘテロ接合半導体系を用いてこの発明を実施することが出来る。例えばパンコナーの著書「オプティカル・プロセッセーズ・イン・セミコンダクターズ」を参照されたい。

当業者に明らかに、本発明はマイクロ波装置の分野で基本的な新規性をもたらしたもので

あり、従つてその範囲は特許請求の範囲のみに上  
つて限定されることを承知されたい。

## 4. 図面の簡単な説明

第1図は~~本~~発明の第1のサンプル実施例を示す簡略断面図、第2A図～第2C図は第1図の装置、従来のHEMT装置、並びに第4図に示した~~本~~  
~~本~~発明の別の実施例の装置に対する大体のバンドダイアグラムをゲート及びチャンネルを通る垂直線に沿つて示すグラフ、第3図は第1図及び第4図の装置の大体のI-V曲線を示すグラフ、第4図はドープされていないAlGaAs層及びU形砥化ガリウム層の間に非常に薄い追加のドープされていない砥化ガリウム層を挿入することによつて得られる~~本~~発明の変形の別の実施例を示す簡略断面図である。

## 主な符号の説明

- 14 : U型砥化ガリウム層
- 16 : ドープされていないAlGaAs層
- 20 : ソース／ドレイン・メタライズ部
- 22 : ゲート電極

図面の符号(内容に誤更なし)

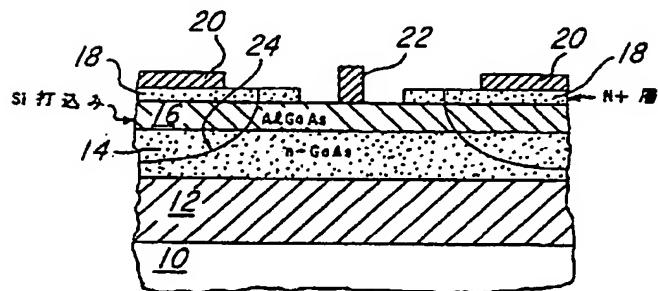


Fig.1

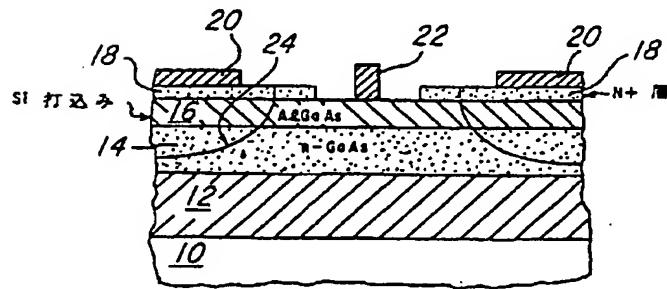


Fig.4

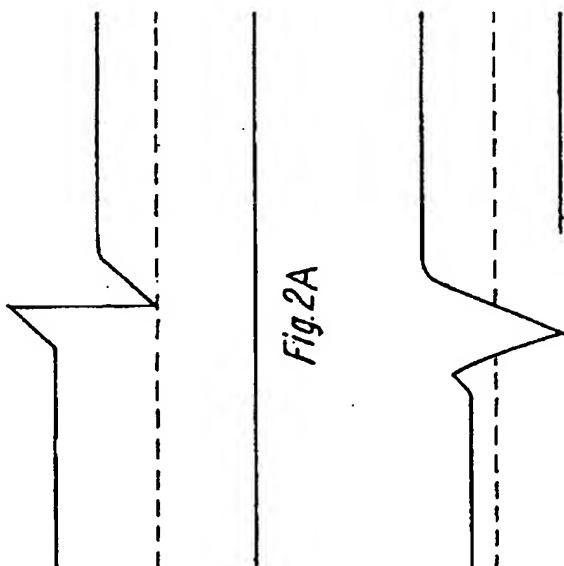


Fig.2A

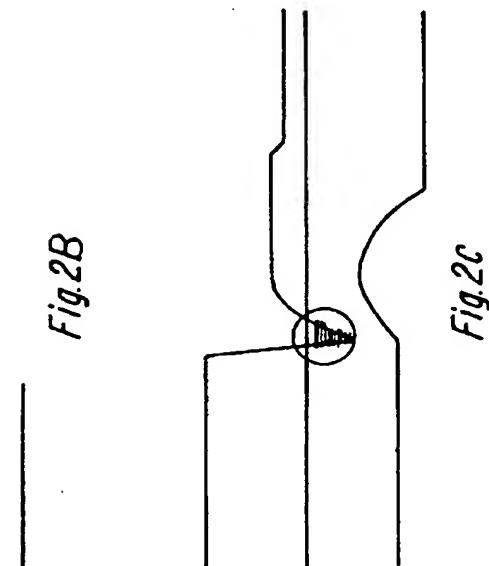
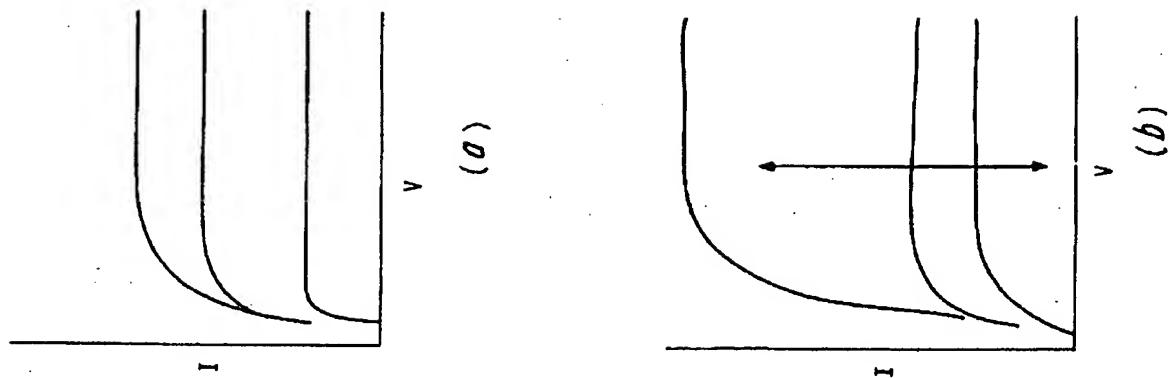


Fig.2B

Fig.2C

Fig. 3



## 手 続 補 正 書 (方 式)

昭和61年3月13日

特許庁長官殿

## 1. 事件の表示

昭和60年特許取扱い番号 14363号

## 2. 発明の名称

ヘテロ結合装置

## 3. 補正をする者

事件との関係 特許出願人

住所

氏名 テキサス インスツルメンツ・インコーポレイテッド  
(名前)

## 4. 代理人

住所

〒100 東京都千代田区大手町二丁目2番1号  
新大手町ビルディング331

電話 (211) 3651 (代表)

氏名

(6669) 浅村 勲

## 5. 補正命令の日付

昭和61年3月28日

## 6. 補正により増加する発明の数

## 7. 補正の対象

図面

## 8. 補正の内容 別紙のとおり

図面のほか (内容に変更なし)

